

LC-003

# 超並列コプロセッサIPを用いた リコンフィギャラブル高速ビジョンシステムの構築と評価

Development and Evaluation of Reconfigurable High-speed Vision System  
using Massively Parallel Co-processor IP

渡辺 義浩<sup>†a)</sup> 小室 孝<sup>†</sup>  
Yoshihiro Watanabe Takashi Komuro

鏡 慎吾<sup>‡</sup> 石川 正俊<sup>†</sup>  
Shingo Kagami Masatoshi Ishikawa

## 1. まえがき

視覚情報を利用したアプリケーションにおいて、フレームレートの向上が有効であることが報告されている [1]。アプリケーションにおけるこのようなニーズの高まりと並行して、高フレームレートでの撮像を可能とする視覚デバイスも、近年新たに開発されつつある。なかには、1 kfps 以上のフレームレートを有し、従来の NTSC 30Hz に代表されるビデオレートを大幅に上回るものも存在する。我々はこのような高速な視覚と処理機能を有するシステムを高速ビジョンと呼んでいる。

高速ビジョンの導入に伴う着目すべき技術要素として、フレームレートの向上とリアルタイムの応答の2つが考えられる。これらは、特にロボット制御、顕微鏡観察、検査、ヒューマンインターフェースなどにおいて強力な効果を発揮すると考えられ、高速ビジョン応用の発展可能性は高い。一方、プラットフォームとなる画像処理システムの実現が重要な課題となるが、未だ多くの問題を残している。

我々は、これらの背景を考慮し、超並列構造を有するコプロセッサ IP を高フレームレートカメラと PC からなるシステムに拡張搭載するものを新たに開発した。本稿では、同システムの構成、動作を報告するとともに、コプロセッサに関しても実現例を示す。ここでは、画像内の多点情報を瞬時に解析するコプロセッサ IP モジュールを実装し、リアルタイム粒子計測に適用した事例について、その回路構成と評価実験の結果を述べる。

## 2. リコンフィギャラブル高速ビジョンシステム

### 2.1 システム構成

高速ビジョンのための処理システムの必要条件として、(1) 高速画像処理、(2) 汎用的な演算処理機能、(3) 高スケーラビリティの3点を満たすことが重要であると考えられる。これまでに実現された研究事例では、高速化された画像処理の演算量がいずれも比較的小さかった。また、カメラと画像処理システムの一体開発によって、高いフレームレートと高速な処理を実現しており、拡張性と運用の柔軟性において改善の余地があった。

このような背景を考慮し、本稿で提案するシステムは、(A) 画像処理のためのコプロセッサの導入、(B) 超並列アーキテクチャの利用によるリアルタイム画像処理、(C) コプロセッサの交換搭載によるシステム機能の再構成、(D) 高速バス接続による高い拡張性の4つの特徴を備える。

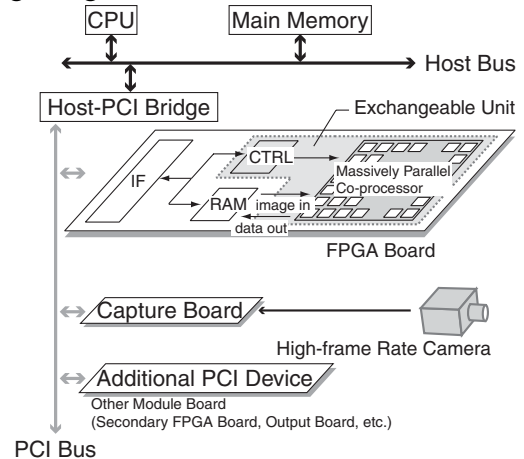


図 1: システム構成

本システムの構成を図 1 に示す。図に示されるように、本システムは、PC、高フレームレートカメラ、画像処理コアを実装したコプロセッサからなり、CPU とコプロセッサの連携によって、スループットの高い視覚情報処理を実現する。画像処理コア、及びそのコントローラは、アプリケーションに応じて選択的に Field Programmable Gate Array (FPGA) に実装されるものとした。FPGA は、回路の書き換えを可能とする LSI である。また、画像処理コアは超並列構造を利用し、高速化を図るものとした。さらに、コプロセッサを容易に追加できるように、バス接続を介して PC に拡張搭載した。このように本システムは、コプロセッサの交換とバス拡張による追加搭載によって、目的に応じたシステム機能の最適な再構成を行ない、高いスケーラビリティと処理性能を確保する。各部の詳細を次節に示す。

### 2.2 各部詳細

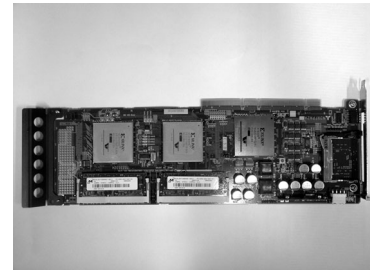


図 2: FPGA ボード

コプロセッサ IP を実装する FPGA ボードとして、三菱エンジニアリング製大規模 FPGA ボード KAC-02-A を採用した。写真を図 2 に示す。同ボードには、PCI 通信制御用の FPGA が 1 基、汎用の FPGA が 2 基搭載されている。FPGA はそれぞれ Xilinx 社製 XCV300, XC2V6000 である。XC2V6000 は、

<sup>†</sup> 東京大学大学院情報理工学系研究科,  
7-3-1, Hongo, Bunkyo-ku, Tokyo 113-8656, Japan  
a) E-mail: nabe@k2.t.u-tokyo.ac.jp

<sup>‡</sup> 東北大学大学院情報科学研究科,  
6-6-01 Aramaki-Aza Aoba, Aoba-ku, Sendai 980-8579, Japan

表 1: システム動作に関する実行時間

operation	time [ $\mu$ s]
Camera Operation	
exposure phase	1,050
image buffering	1,050
image transfer	1,050
Image Transfer	
host main memory $\rightarrow$ PCI memory $\rightarrow$ RAM in FPGA	350 <sup>b</sup>
Operation on Co-Processor	-
Data Transfer	
RAM in FPGA $\rightarrow$ PCI memory $\rightarrow$ host main memory	150 <sup>a</sup>

<sup>b</sup> 8,192 byte was transferred, <sup>a</sup> 1,024 byte was transferred

33,792 slice のロジックを内蔵している。1 slice は、2 つの 4 入力 Look Up Table(LUT) と 2 つの Flip Flop(FF) で構成されている。汎用 FPGA にコプロセッサコアとそのコントローラを実装する。また、画像や特徴量などに関するコプロセッサコアへの入出力は、内部 RAM を介して行う構成をとった。

センサ入力に関しては、高フレームレートカメラからリアルタイムに転送される画像を利用する。このような画像の高速転送を保証するデバイスは、並列 A-D 変換の技術によって近年新たに可能となった [2]。今回、利用したカメラは、DALSA 製 CA-D6(CCD デバイス) である。同カメラの解像度は 256  $\times$  256、フレームレートは 955 fps である。

利用した PC は、Dell Precision 670、メイン CPU は、Intel Xeon 2.80 GHz である。メイン CPU は、PCI デバイス間のデータ転送制御や、コプロセッサと連携した視覚情報処理を担う。

コプロセッサを搭載した FPGA ボードは、32 bit 幅 66 MHz の PCI バスを介してデータ転送を行う。なお、FPGA 側の PCI 制御に改善の余地があり、同転送レートは向上が可能である。また、FPGA ボードは複数枚搭載が可能であり、多種の画像処理が適用される局面にも対応することができると考えられる。

表 1 にシステム動作における実行時間の概算値を示す。撮像画像はキャプチャボードを介してメインメモリへ格納され、2 値画像に変換後、コプロセッサへ転送される。画像の取り込みは、フレームバッファリング方式で行っており、レイテンシ削減の余地がある。また、今回利用した FPGA ボードの PCI 通信制御部は、画像受信のみバースト転送に対応しており、スループット向上の余地がある。アプリケーションとコプロセッサ性能に依存するが、本システムのこのような構成によって、スループット 955  $\sim$  478 fps、レイテンシ 4  $\sim$  5ms の視覚情報処理を実現することができると考えられる。同性能は、機械制御など多くのアプリケーションにおいて大きな効果をもたらす数値であると考えられる。

### 3. 高速ビジョンのための超並列アーキテクチャ

高速ビジョンを利用した視覚情報処理では要求される速度が高く、演算量の大きい画像処理をリアルタイムに実現することは一般に困難である。前節のシステムに搭載する画像処理コアは、このようなスループット向上に対するボトルネックを解消する必要がある。特に、アーキテクチャ設計において有効である要素として、ここでは超並列構造、SIMD 型制御、ビットシリアル演算、画素間非同期通信の 4 つを挙げる。

画素並列に演算を実行する超並列構造は、画像処理におけるマスク演算や、さらに特徴量抽出に関する処理の高速化に大きく寄与する。さらにデータ伝搬の効率化によって、画像内の分

割領域単位での演算の並列化も可能とする。特に、このような演算体系を並列抽出と呼んでおり、4 節の事例でも利用している。SIMD 型制御は、主に同一命令の並列実行で記述される画像処理の特性を反映しており、効率の良い処理を可能とする。一方、このような制御下では、処理内容によっては性能低下を引き起こす可能性があるが、本システムは処理回路を目的に応じて交換できることを前提とし、この問題を回避した。ビットシリアル演算は、Processing Element(PE) の演算機能を 1 bit などの狭いビット幅に制限することで回路量を削減し、実装回路の並列度の向上を可能とするものである。画素間非同期通信は、通信データの伝搬に関して、遷移データの一時的な保持を必要としない場合や、伝搬による処理の収束が成立する場合に、PE 間通信を非同期化し、伝搬遅延を最小化するものである。

これらの要素は、これまでビジョンチップ [3] に代表される高速ビジョンシステムの開発においても、特に重視されてきたものである。本システムに搭載するコプロセッサは、以上のコンセプトに基づき、目的の画像処理に対して、特定用途化された回路を備えるものとする。次節では、応用性の高い運用例を示す。

### 4. 多点解析を行う超並列 IP の実装

高速ビジョン応用の想定例の 1 つに、リアルタイム粒子計測がある。粒子計測では、膨大な数の対象群が高速かつ複雑な運動をする状況を捉える必要があるが、従来はカメラや処理機能の制約から自由度の低い環境で計測を行っていた。これに対し、高速ビジョンによるフレームレートの向上とリアルタイムでの情報取り込みは、このような問題を解決し、発展性の高い同計測の実現に効果が高いと考えられる。アプリケーションの実現にあたり、多点解析を行う特定用途コプロセッサ IP を新たに設計し、実装した。本節では、既に提案済である同コプロセッサアーキテクチャ [4] の概要に加え、今回新しく実装した回路の構成と動作内容に関して述べる。

#### 4.1 回路構成

本節で述べるコプロセッサ IP は、画面内の多数の物体情報を瞬時に抽出するものである。このような演算は、単一の対象を扱うことが主であった従来の高速ビジョン応用例に比べると、遥かに演算量が大きい。これに対し、本コプロセッサアーキテクチャは、3 節で述べた要素を導入し、処理速度の向上を効果的に実現している。

本コプロセッサは、物体情報として、画面内の分割領域の画像モーメントを演算する。画像モーメントは、画像解析やパターン認識において広く利用されており、画像内での対象領域の大きさ、重心位置、姿勢、形状などの様々な特徴量への変換を可能とするパラメータである。 $(i + j)$  次の画像モーメント  $m_{ij}$  は、座標  $(x, y)$  における画素値  $I(x, y)$  を用いて、式 (1) で表される。

$$m_{ij} = \sum_x \sum_y x^i y^j I(x, y) \quad (1)$$

画像モーメントの演算は、並列構成によって高速化が可能である。今回のアーキテクチャでは、総和演算のみでモーメント抽出を 1 ビットシリアルに実行する手法 [5] を利用した。同手法では、列方向演算を並列に行った後、各列の結果を受け取っ

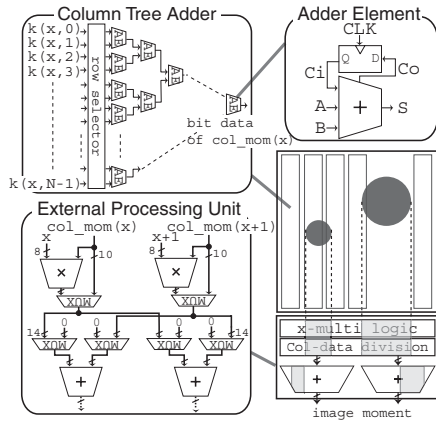


図 3: 並列抽出とその回路

た外部演算ユニットが画像全体の画像モーメントを抽出する構成をとっている。

さらに、物体数の増加に伴う演算量の肥大化を抑えるために、並列抽出と呼ぶ演算体系を新たに導入した。これは、PE が密に配置された超並列構造によって、画面内の複数の分割領域の演算を同時に行うものである。図 3 に示すように、今回のアーキテクチャでは、画像内で列方向に互いに重なっていない複数の対象が、並列プロセッサアレイ内で互いの演算を干渉しないことを利用し、並列抽出を実現した。このような方式の導入によって、演算量を大幅に削減することができる。定量的には、物体数  $n$  に対して通常比例増加する演算量を、 $O(\sqrt{n})$  にまで抑えることが可能である。

並列抽出に基づくモーメント演算回路を図 3 に示す。並列プロセッサアレイ内の回路は、演算画像を受け取り、ビットシリアルに各列の 0 次、及び  $y$  座標に関する任意の次数のモーメントを抽出する。各列の演算回路は、1 bit のフルアダーとキャリー保持のための FF からなる要素を、2 分木状に接続することで構成した。同回路は、入力データ数  $2^N$  に対して、 $O(N)$  の遅延で演算を完了し、クロックサイクル毎に各ビットの値を出力する。今回の実装では、 $64 \times 64$  の画像を処理するものとし、各列の画像モーメントを保持するバッファは 10 bit とした。

また、アレイ外部の演算ユニットは、 $x$  座標に関する画像モーメント演算のために座標値の積算を行なう回路 (x-multi logic)、各列の画像モーメントを対象単位に分離する回路 (Col-data division)、アレイ全体の画像モーメントを演算する回路の 3 つで構成される。式 (2) に示されるように、 $x$  座標の積算を伴う画像モーメント  $m_{ij} (i \neq 0)$  は、 $y$  座標に関する画像モーメント  $m_{0j}$  から得られる。このため、積算回路を置くことで、全体の画像モーメントの演算を短縮することができる。また、全体モーメントの総和回路は今回 2 つ用意した。

$$m_{ij} = \sum_x x^i \left\{ \sum_y y^j I(x, y) \right\} = \sum_x x^i m_{0j}(x) \quad (2)$$

一方、並列抽出の適用には、任意のパターンから演算方向に重なりを持たない対象群を選択する前処理が必要である。このような選択処理として、超並列構造と画素間非同期通信に基づく、効率的な SIMD 並列アルゴリズムを提案した。アルゴリズムの流れと PE の回路構成を図 4 に示す。本アルゴリズムは、陥没部の凸化と列方向への領域拡張によって、対象を選択している。また、同アルゴリズムは、反復後の処理結果の

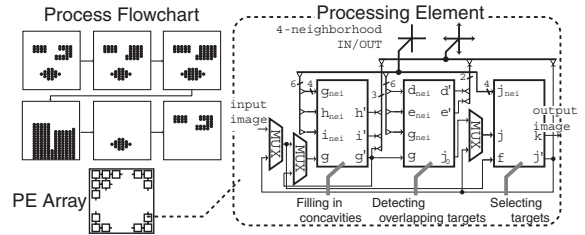


図 4: 並列抽出のための対象選択とその回路

収束が保証された繰り返し演算によって構成されており、上下左右の近傍画素間の非同期通信によって瞬時に完了することができる。図に示す PE を 2 次元メッシュ状に接続することで、画素間で相互に近傍通信を行うアレイ回路を構成することができる。今回は、 $64 \times 64$  の画素アレイで構成される超並列回路を実装した。

以上の回路構成に基づく超並列コプロセッサを、2 基の FPGA (XC2V6000) それぞれに搭載した。回路規模に関しては、選択処理のための回路、及び図 3 上部に示す列方向のモーメント抽出を行うアレイ内の回路の実装に、4 入力 LUT を 61%、FF を 50%消費した。また、図 3 下部に示す、アレイ外のモーメント抽出回路の実装に、4 入力 LUT を 5%、FF を 7%消費した。

#### 4.2 動作概要

処理回路は、すべて 40MHz の単一クロックで制御した。同周波数は、列モーメント抽出における処理遅延から決定した。コプロセッサ内での主な処理は、画像データの読み込み、選択処理、並列抽出によるモーメント演算の 3 種類である。後者 2 つの処理を繰り返すことで、入力画像中の多数の粒子情報が順次演算される。それぞれの処理に、 $1.6 \mu s$ 、 $0.2 \mu s$ 、 $0.7 \mu s$  を要した。また、粒子情報として、0 次、及び 1 次モーメントを演算するものとした。なお、アレイ外部回路の演算幅を変更することで、高次モーメントの演算も可能である。

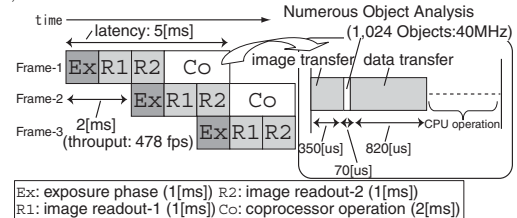


図 5: 動作タイミング

システム搭載時には、 $256 \times 256$  の画像を  $64 \times 64$  のブロックに分割し、2 基のコプロセッサコアにおいて処理を実行した。このような環境の場合、入力画像から 1,024 個の粒子情報を  $70 \mu s$  で抽出することができる。撮像から視覚情報取得までの一連のシステムタイミングを図 5 に示す。システムの動作において、画像から抽出するデータ量は、6,144 byte (1024 個  $\times$  3 次元  $\times$  16 bit) であり、転送に  $820 \mu s$  を要した。従って、一連の処理は  $1,240 \mu s$  を要する。このため、コプロセッサへ 2 フレーム毎に撮像画像を転送した。結果として、実質的なスループットは 478 fps となった。

今回のシステムはいくつかの点において改善の余地があり、同性能はシステムの限界を示すものではない。1 kfps のスループットを目標とした場合、実装したコプロセッサの実行速度は十分に高速化が実現されていると考えられるが、配置配線の最適化、複数クロックの導入、処理のパイプライン化によって、数倍程度の高速化を行なう余地も残っている。また、転送処理



が全体の大きな割合を占めている点に関しては、2.2節で述べたような改善を適用することで高速化が可能である。これによって、スループットを高フレームレートカメラの撮像レートである 955 fps にまで向上することも十分に可能であると考えられる。また、レイテンシに関しても、上述の改善によって同様に短縮が可能である。

## 5. 評価実験

本節では、多点解析コプロセッサを実装した高速ビジョンシステムを用い、リアルタイム粒子計測の実証を行った。ここでは2つの評価事例を示す。

1つめの事例は、パターン識別を行うリアルタイム粒子計測である。ここでは粒子のサイズと位置を同時に計測した。実験では、径 1 mm と径 2 mm のポリスチレン系標準粒子を混ぜた。傾斜した平面上を並進する様子を観測した。

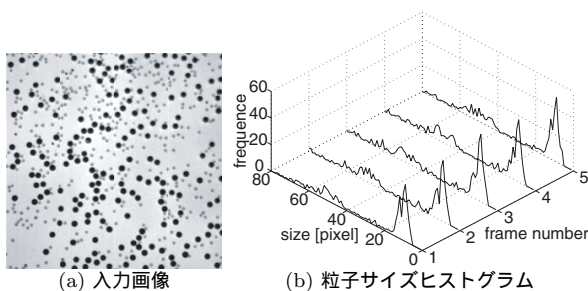


図 6: 入力画像と計測結果

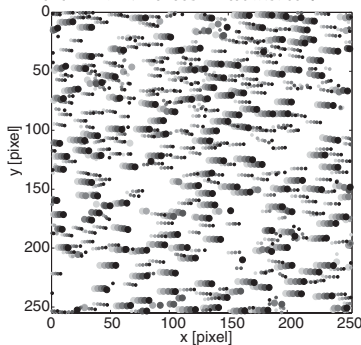


図 7: 粒子群のサイズ識別と軌跡

図 6(a) に入力画像を示す。図 6(b) は、連続する 5 フレームにおける粒子サイズのヒストグラムを示している。また、図 7 はその軌跡を表している。同グラフでは、2 種類のサイズで粒子位置をプロットしている。点の濃さは時間経過を表している。粒子は、面積 30.0 を基準に分離されている。グラフには、5 フレームにおけるそれぞれの粒子の平均サイズでプロットした。それぞれの平均サイズは、11.1, 54.2 である。また、5 フレームの平均粒子数は 384 個であった。図より、粒子が互いに衝突しながら、並進落下している様子が分かる。今回は、1 次モーメントまでを抽出しているが、より高次のモーメントの利用によって、粒子の詳細な情報を得ることも可能である。このような画面全体の多点の多次元特徴量を、運動中にリアルタイムに取得できる点は、検査やパターン計測などにおいて非常に有用性が高いと考えられる。

2つめの事例として、流体計測に関する評価実験を行なった。流体の流速分布は、高フレームレート動画像中の粒子の移動情報によって取得することができる。これは、Particle Image Velocimetry と呼ばれる技術に基づいており、これまでは、カ

メラの制約や処理量が莫大であることから、即時に解析を行うことが困難であった。本システムによるリアルタイム化によって、流体計測の幅の広い応用展開が可能となると考えられる。

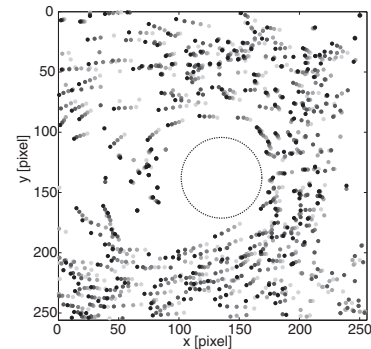


図 8: 流体中の粒子軌跡

実験では、粒子として径 1 mm 程度の発泡スチロールビーズを利用した。平行平板間の片方から、空気を吸引し、流体を形成した。また、平板間内の中央付近に円柱状の障害物を置いた。計測された粒子の軌跡を図 8 に示す。グラフから、流れの分布が正確に計測できていることが分かる。5 フレームの平均粒子数は、260 個であった。前節の実験と同様に、処理できる粒子数には余裕があるため、数を増やし、計測精度を上げることが可能である。

## 6. むすび

本稿では、高速ビジョンのためのリアルタイム視覚情報処理システムの提案と構築を行なった。評価の結果、開発したシステムによって高スループットかつ低レイテンシでのリアルタイム視覚応用が可能となることを示した。

また、搭載するコプロセッサがアプリケーションに応じて選択的に搭載できることを利用し、多点瞬時解析を行なう IP を実装し、さらに粒子計測へ適用した例を示した。粒子計測は、同 IP コアの具体的なアプリケーションの 1 つである。評価実験結果より、膨大な量の粒子情報をリアルタイムに抽出できることを示した。同時に、このような粒子計測の応用発展も期待できることも述べた。

## 参考文献

- [1] 石川正俊, “超高速ビジョンの展望,” 日本ロボット学会誌, vol.23, no.3, pp.274-277, 2005.
- [2] S. Kleinfelder, S. Lim, X. Liu, and A.E. Gamal, “A 10000 frames/s cmos digital pixel sensor,” IEEE Journal of Solid-State Circuits, vol.36, no.12, pp.2049-2058, 2001.
- [3] T. Komuro, S. Kagami, and M. Ishikawa, “New architecture of programmable digital vision chip,” Proceedings of 2002 Symposium on VLSI circuits, pp.266-269, 2002.
- [4] Y. Watanabe, T. Komuro, S. Kagami, and M. Ishikawa, “Parallel extraction architecture for image moments of numerous objects,” Proceedings of IEEE 7th International Workshop on Computer Architecture for Machine Perception, pp.105-110, 2005.
- [5] 石井抱, 小室孝, 石川正俊, “デジタルビジョンチップのためのモーメント計算法,” 電子情報通信学会論文誌 D-I I, vol.J83-D-II, no.8, pp.1733-1740, 2000.